

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001203288 A

(43) Date of publication of application: 27.07.01

(51) Int. Cl.  
**H01L 21/8249**  
**H01L 27/06**  
**H01L 21/8222**  
**H01L 21/331**  
**H01L 29/73**

(21) Application number: 2000011708

(22) Date of filing: 20.01.00

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: YOSHIHISA YASUKI

(54) METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

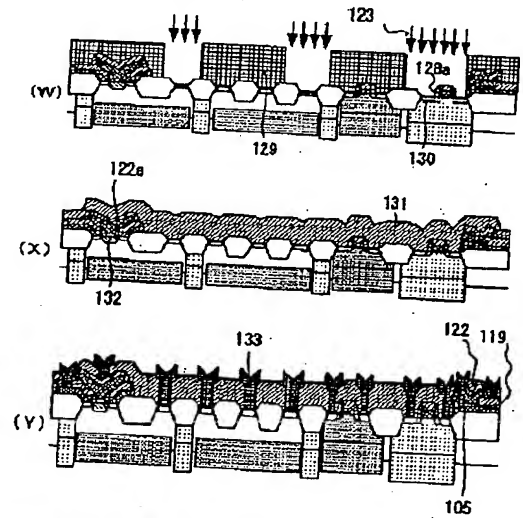
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for producing semiconductor device, with which increase in the number of processes and the number of masks can be suppressed to a minimum and a high performance bipolar transistor and a high performance MOS transistor can be provided on the same wafer.

SOLUTION: A base drawing electrode 105a of an NPN type bipolar transistor and a gate 105b of a PMOS type transistor are simultaneously formed while using the same material (polysilicon film 105) and an emitter drawing electrode 122a of the NPN type bipolar transistor, and a gate 122b of the NMOS type transistor can be simultaneously formed while using the same material (polysilicon film 122). Therefore, a surface channel type PMOS transistor can be provided while suppressing increase in the number of processes. As a result, the leakage

current of the PMOS type transistor is decreased and a threshold  $V_{th}$  can be easily controlled.

COPYRIGHT: (C)2001,JPO



- 105: ポリシリコン膜 (下部電極)
- 119: 絶縁膜 (容量形成材料)
- 122: ポリシリコン膜 (上部電極)
- 122a: エミッタ引出し電極
- 123: 不純物 (As等)
- 128a: 枠
- 129: レジストパターン
- 130: NMOSのソース/ドレイン膜
- 131: 層間絶縁膜
- 132: エミッタ層
- 133: 配線

• NOTICES •

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

# DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in gestalt 1 or 3 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 2] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in gestalt 1 or 3 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 3] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in gestalt 1 or 3 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 4] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in gestalt 1 or 2 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 5] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 6] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 7] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 8] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 9] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 10] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 11] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 12] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 13] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the gestalt 1 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 14] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having the self-matching type highly efficient bipolar transistor in the

- gestalt 7 and CMOS transistor of operation of this invention on the same substrate.
- [Drawing 15] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having a conventional self-matching type highly efficient bipolar transistor and conventional CMOS transistor on the same substrate.
- [Drawing 16] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having a conventional self-matching type highly efficient bipolar transistor and conventional CMOS transistor on the same substrate.
- [Drawing 17] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having a conventional self-matching type highly efficient bipolar transistor and conventional CMOS transistor on the same substrate.
- [Drawing 18] It is drawing showing the process of the manufacture technique of BiCMOS type semiconductor device of having a conventional self-matching type highly efficient bipolar transistor and conventional CMOS transistor on the same substrate.
- [Description of Notations]
- 100 Semiconductor Substrate, 101 Field Oxide Film, 102a, 102b well, 103, 107, 115, 153, 157, 164, 166, 167 insulator layers, 104, 108, 111, 113, 116, 118, 120, 125, 126, 129, 158 Resist pattern (photoengraving process), 105, 122, 145, 146, 165, 169 Polysilicon contact layer, 105a The base drawer electrode of NPN type bipolar transistor, 105b The gate of PMOS type transistor, 106 Impurity (B etc.), 107a Opening, 109 oxide films, 110 External base layer, 110a Intrinsic base layer, 112 Link-base layer, 114a, 132, 173 Emitter layer, 114b Collector layer, 114c LDD layer of PMOS type transistor, 115a, 115b, 128a, 161 Frame, 119 The gate oxide film of NMOS type transistor (insulator layer), 121 Impurities (BF<sub>2</sub> etc.), 122a, 172 The emitter cash-drawer electrode of NPN type bipolar transistor, 122b The gate of NMOS type transistor, 123, 168 Impurity (As etc.), LDD layer of a 127NMOS type transistor, 130 The source / drain layer of NMOS type transistor, 131, 171 Layer insulation layer, 133, 174 Wiring, 134a, 134b Side attachment wall (LDD frame), 135 Impurities (P etc.), 156 Doped polysilicon layer, 156a, 156b MOS gate, 159, 160 LDD layer, 162, 163 The source / drain layer.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-203288

(P2001-203288A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl.

H 0 1 L 21/8249

27/06

21/8222

21/331

29/73

識別記号

F I

H 0 1 L 27/06

29/72

テマコード\* (参考)

3 2 1 A 5 F 0 0 3

1 0 1 U 5 F 0 4 8

5 F 0 8 2

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願2000-11708 (P2000-11708)

(22) 出願日 平成12年1月20日 (2000.1.20)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 吉久 康樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外3名)

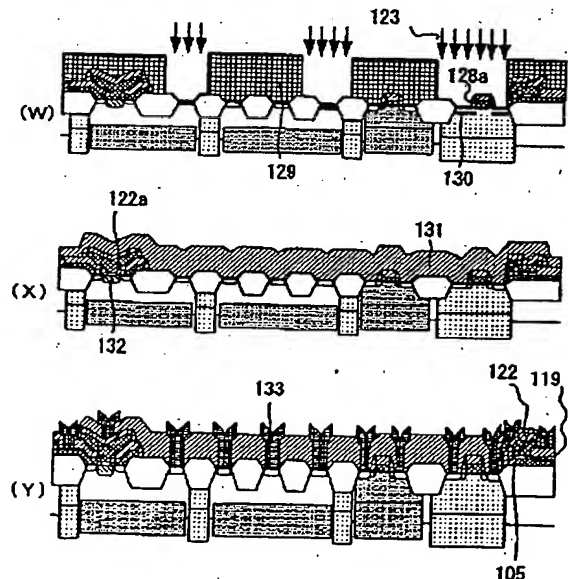
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 工程数およびマスク数の増加を最低限に抑え、かつ高性能バイポーラトランジスタと高性能MOSトランジスタとを同一基板上に有することができる半導体装置の製造方法を提供する。

【解決手段】 NPN型バイポーラトランジスタのベース引出し電極105aとPMOS型トランジスタのゲート105bとを同一材料(ポリシリコン膜105)を用いて同時に形成し、NPN型バイポーラトランジスタのエミッタ引出し電極122aとNMOS型トランジスタのゲート122bとを同一材料(ポリシリコン膜122)を用いて同時に形成することができる。このため、工程数の増加を抑えた上で表面チャネル型のPMOS型トランジスタを得ることができ、この結果PMOS型トランジスタのリーク電流を減少させ、閾値 $V_{th}$ の制御を容易に行なうことができる。



105: ポリシリコン膜 (下部電極) 129: レジストパターン  
119: 絶縁膜 (容量形成材料) 130: NMOSのソース/ドレイン層  
122: ポリシリコン膜 (上部電極) 131: 層間絶縁膜  
122a: エミッタ引出し電極 132: エミッタ層  
123: 不純物 (As等) 133: 配線  
128a: 枠

## 【特許請求の範囲】

【請求項1】 バイポーラトランジスタとMOSトランジスタとを同一の半導体基板上に形成する半導体装置の製造方法であって、

前記半導体基板の主面に第1絶縁膜を分離して形成し、該半導体基板上と該第1絶縁膜上とにわたり第2絶縁膜を形成する第2絶縁膜形成工程と、

前記半導体基板上における第1導電型のバイポーラトランジスタのベースを形成する領域上の第2絶縁膜を除去する第2絶縁膜除去工程と、

前記第2絶縁膜が除去された半導体基板上と除去されなかった第2絶縁膜上とにわたり第1ポリシリコン膜を形成し、該第1ポリシリコン膜上に第1濃度の第1導電型の不純物を注入し、該第1ポリシリコン膜上に第3絶縁膜を形成する工程と、

第1ポリシリコン膜と第3絶縁膜とを有する積層膜の所定の領域をエッチングして、前記半導体基板上における第1導電型のバイポーラトランジスタの外部ベース引出し電極と第1導電型のMOSトランジスタのゲートとを同時に形成する第1形成工程と、

前記エッチングされた積層膜の前記所定の領域上に第4絶縁膜を形成すると同時に、前記第1導電型のバイポーラトランジスタの外部ベース引出し電極から第1濃度の第1導電型の不純物を前記半導体基板中に導入して外部ベース層を形成する工程と、

前記第1導電型のバイポーラトランジスタの外部ベース引出し電極を形成する領域を写真製版により画定し、該領域に第2濃度の第1導電型の不純物を注入して前記第1導電型のバイポーラトランジスタのリンクベース層を形成する工程と、

前記第1導電型のMOSトランジスタを形成する第1導電型MOSトランジスタ形成領域と第2導電型のバイポーラトランジスタのエミッタおよびコレクタを形成する第2導電型バイポーラトランジスタ形成領域とを写真製版により画定し、該第1導電型MOSトランジスタ形成領域と該第2導電型バイポーラトランジスタ形成領域とに第3濃度の第1導電型の不純物を注入して、該第1導電型MOSトランジスタ形成領域にLDD層を形成し該第2導電型バイポーラトランジスタ形成領域にエミッタ層とコレクタ層とを形成する第2形成工程と、

前記第2形成工程後の各膜上にわたり第5絶縁膜を形成する工程と、

前記第5絶縁膜をエッチングして前記第1導電型のバイポーラトランジスタの外部ベース引出し電極の側壁と前記第1導電型のMOSトランジスタのゲートの側壁とに枠を形成する枠形成工程と、

前記第2導電型のバイポーラトランジスタの真性ベースを形成する第2導電型バイポーラトランジスタの真性ベース形成領域と前記第1導電型のMOSトランジスタを形成する第1導電型MOSトランジスタ形成領域とを写

真製版により画定し、該第2導電型バイポーラトランジスタの真性ベース形成領域と該第1導電型MOSトランジスタ形成領域とに第4濃度の第1導電型の不純物を注入して、該第2導電型バイポーラトランジスタの真性ベース形成領域にエミッタ層とコレクタ層とを形成し該第1導電型MOSトランジスタ形成領域にソースおよびドレインを形成しする第3形成工程と、

前記第3形成工程後の所定の膜上にわたり第6絶縁膜を形成する第6絶縁膜形成工程と、

10 前記第1導電型のバイポーラトランジスタの外部ベース引出し電極を形成する領域を写真製版により画定し、該領域に第5濃度の第1導電型の不純物を注入して前記第1導電型のバイポーラトランジスタの真性ベース層を形成する工程と、

前記第1導電型のバイポーラトランジスタの外部ベース引出し電極を形成する領域上の第6絶縁膜をエッチングして前記半導体基板の主面を露出させる半導体基板露出工程と、

20 前記半導体基板露出工程後の各膜上にわたり第2ポリシリコン膜を形成し、該第2ポリシリコン膜上に第1濃度の第2導電型の不純物を注入し、該第2ポリシリコン膜上に第7絶縁膜を形成する工程と、

前記第7絶縁膜と第2ポリシリコン膜とを有する積層膜の所定の領域をエッチングして、前記第1導電型のバイポーラトランジスタのエミッタ引出し電極と第2導電型のMOSトランジスタのゲートとを同時に形成する第4形成工程と、

30 前記第2導電型のMOSトランジスタを形成する領域を写真製版により画定し、該領域に第2濃度の第2導電型の不純物を注入して前記第2導電型のMOSトランジスタのLDD層を形成する第2導電型のMOSトランジスタのLDD層形成工程と、

前記第2導電型のMOSトランジスタのLDD層形成工程後の各膜上にわたり第8絶縁膜を形成し、該第8絶縁膜をエッチングして前記第2導電型のMOSトランジスタのゲートの側壁に枠を形成する工程と、

40 前記第2導電型のMOSトランジスタを形成する領域を写真製版により画定し、該領域に第3濃度の第2導電型の不純物を注入して前記第2導電型のMOSトランジスタのソースおよびドレイン層を形成する第2導電型のMOSトランジスタのソースおよびドレイン層形成工程と、前記第2導電型のMOSトランジスタのソースおよびドレイン層形成工程後の各膜上にわたり層間絶縁膜を形成すると共に、前記第1導電型のバイポーラトランジスタのエミッタ引出し電極から不純物を拡散させてエミッタ層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記第6絶縁膜形成工程に先立って、前記第3絶縁膜と前記第1ポリシリコン膜とを有する積層膜の所定の領域を写真製版により画定し、前記第3絶縁

膜をエッチングして前記第1ポリシリコン膜を露出させる工程をさらに備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2形成工程の後に、各膜上にわたり第3ポリシリコン膜を形成する工程と、前記第3ポリシリコン膜をエッチングして前記第1導電型のバイポーラトランジスタの外部ベース引出し電極の側壁と前記第1導電型のMOSトランジスタのゲートの側壁とに枠を形成する工程とをさらに備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記第2導電型のバイポーラトランジスタの外部ベース引出し電極から第1濃度の第1導電型の不純物を前記半導体基板中に導入して、前記第2導電型のバイポーラトランジスタのエミッタおよびコレクタを形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記第2導電型のバイポーラトランジスタのベースを、前記第1導電型のMOSトランジスタのゲートを形成する前記第1形成工程ないし前記第2形成工程と同一の工程において形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 前記第2絶縁膜形成工程の後に、前記第2絶縁膜上に第4ポリシリコン膜を形成し、前記第1導電型のバイポーラトランジスタのベースを形成する領域上の第4ポリシリコン膜をエッチングして、第2絶縁膜を除去する工程をさらに備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 前記第6絶縁膜形成工程の後に、前記第6絶縁膜上に第5ポリシリコン膜を形成し、前記第1導電型のバイポーラトランジスタのベースを形成する領域上の第5ポリシリコン膜をエッチングして、第6絶縁膜を除去する工程をさらに備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】 前記第2絶縁膜の膜厚と前記第6絶縁膜の膜厚とを異なる膜厚にしたことを特徴とする請求項1ないし7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に自己整合型高性能バイポーラトランジスタと、デュアルゲート型高性能CMOSトランジスタとを同一基板上に有する半導体装置の製造方法に関する。

【0002】

【従来の技術】従来のバイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置は、バイポーラトランジスタの高速度および高負荷駆動能力とMOSトランジスタの高集積性および低消費電力との双方を同時に実現できることが特徴である。しかし、高性能なバイポーラトランジスタと高性能

なMOSトランジスタとを同一基板上に形成すると、工程数が増大し、マスク枚数が増加するという問題があった。

【0003】図15ないし18は、従来の自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す。

【0004】図15(A)に示されるように、埋め込み層を有する半導体基板100上にLOCOS法等によりフィールド酸化膜101を形成し、ウェル層102aとウェル層102bとを形成する。次に図15(B)に示されるように、MOSトランジスタのゲート酸化膜となる絶縁膜153を形成する。図15(C)に示されるように、絶縁膜153上にMOSトランジスタのゲートとなるドーパドポリシリコン膜156をデポジットし、ドーパドポリシリコン膜156上にTEOS等の絶縁膜167をデポジットする。次にレジストパターン158を用いてMOSのゲートを形成する。図15(D)に示されるように、MOSのLDD層159、160を形成する。次にTEOS等の絶縁膜をデポジットし、ドライエッチングによりMOSトランジスタのゲートの側壁に枠161を形成する。次に、注入によりMOSのソース層162およびドレイン層163を形成する。

【0005】図16(E)に示されるように、TEOS等の絶縁膜164をデポジットしてMOSトランジスタ形成領域を保護する。図16(F)に示されるように、ポリシリコン膜165をデポジットし、ポリシリコン膜165の全面に不純物BF<sub>2</sub>106(170)を注入する。この後図16(G)に示されるように、全面にTEOS等の絶縁膜166をデポジットする。

【0006】図17(H)に示されるように、写真製版の後、ポリシリコン膜165と絶縁膜166とをエッチングして、ベース引出し電極を形成する。次に、酸化により酸化膜109を形成して、ポリシリコン膜165中の不純物を半導体基板100中へ拡散し、外部ベース層110を形成する。図17(I)に示されるように、不純物BF<sub>2</sub>を注入し、真性ベース層110aを形成する。次に、TEOS等の絶縁膜167をデポジットし、図17(J)に示されるようにエッチングすることでベース引出し電極の側面に枠を形成する。図17(K)に示されるように、NPNTランジスタのエミッタ引き出し電極となるポリシリコン膜169をデポジットし、全面にAs等の不純物168を注入する。

【0007】図18(L)に示されるように、写真製版により所望の領域を画定し、ドライエッチングによりNPNTランジスタのエミッタ引出し電極172を形成する。図18(M)に示されるように、TEOS/BPSG/TEOS膜のような層間絶縁膜171をデポジットし、これにリフローを施し、表面を平坦化すると共に、エミッタ引出し電極172から不純物を半導体基板10

0中へ拡散し、エミッタ層173を形成する。最後に、図18(N)に示されるように、配線174等を形成する。

【0008】上述のように、絶縁膜164をデポジットしてMOS領域を保護することにより、後のNPNトランジスタを形成する時のダメージの影響を無くして、MOSトランジスタの特性が劣化することを防止していた。

【0009】

【発明が解決しようとする課題】上述した従来のバイポーラトランジスタとCMOSTランジスタとを同一基板上に有するBiCMOS型半導体装置は、トランジスタ特性の劣化を防止するため、工程が複雑となり、かつ工程数が多いという問題があった。このため、少しでも工程数を少なくするためにNMOSTランジスタおよびPMOSTランジスタのゲート電極が同じN型となり、PMOSTランジスタは埋め込みチャネル型となっていた。この結果、PMOSTランジスタのリーク電流が多くなり、閾値電圧 $V_{th}$ の制御が困難となるという問題があった。

【0010】そこで、本発明の目的は、上記問題を解決するためになされたものであり、工程数およびマスク数の増加を最低限に抑え、かつ高性能バイポーラトランジスタと高性能MOSTランジスタとを同一基板上に有することができる半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】この発明の半導体装置の製造方法は、バイポーラトランジスタとMOSTランジスタとを同一の半導体基板上に形成する半導体装置の製造方法であって、前記半導体基板の主面に第1絶縁膜を分離して形成し、該半導体基板上と該第1絶縁膜上とにわたり第2絶縁膜を形成する第2絶縁膜形成工程と、前記半導体基板上における第1導電型のバイポーラトランジスタのベースを形成する領域上の第2絶縁膜を除去する第2絶縁膜除去工程と、前記第2絶縁膜が除去された半導体基板上と除去されなかった第2絶縁膜上とにわたり第1ポリシリコン膜を形成し、該第1ポリシリコン膜上に第1濃度の第1導電型の不純物を注入し、該第1ポリシリコン膜上に第3絶縁膜を形成する工程と、第1ポリシリコン膜と第3絶縁膜とを有する積層膜の所定の領域をエッチングして、前記半導体基板上における第1導電型のバイポーラトランジスタの外部ベース引出し電極と第1導電型のMOSTランジスタのゲートとを同時に形成する第1形成工程と、前記エッチングされた積層膜の前記所定の領域上に第4絶縁膜を形成すると同時に、前記第1導電型のバイポーラトランジスタの外部ベース引出し電極から第1濃度の第1導電型の不純物を前記半導体基板中に導入して外部ベース層を形成する工程と、前記第1導電型のバイポーラトランジスタの外部ベース

引出し電極を形成する領域を写真製版により画定し、該領域に第2濃度の第1導電型の不純物を注入して前記第1導電型のバイポーラトランジスタのリンクベース層を形成する工程と、前記第1導電型のMOSTランジスタを形成する第1導電型MOSTランジスタ形成領域と第2導電型のバイポーラトランジスタのエミッタおよびコレクタを形成する第2導電型バイポーラトランジスタ形成領域とを写真製版により画定し、該第1導電型MOSTランジスタ形成領域と該第2導電型バイポーラトランジスタ形成領域とに第3濃度の第1導電型の不純物を注入して、該第1導電型MOSTランジスタ形成領域にLDD層を形成し該第2導電型バイポーラトランジスタ形成領域にエミッタ層とコレクタ層とを形成する第2形成工程と、前記第2形成工程後の各膜上にわたり第5絶縁膜を形成する工程と、前記第5絶縁膜をエッチングして前記第1導電型のバイポーラトランジスタの外部ベース引出し電極の側壁と前記第1導電型のMOSTランジスタのゲートの側壁とに枠を形成する枠形成工程と、前記第2導電型のバイポーラトランジスタの真性ベースを形成する第2導電型バイポーラトランジスタの真性ベース形成領域と前記第1導電型のMOSTランジスタを形成する第1導電型MOSTランジスタ形成領域とを写真製版により画定し、該第2導電型バイポーラトランジスタの真性ベース形成領域と該第1導電型MOSTランジスタ形成領域とに第4濃度の第1導電型の不純物を注入して、該第2導電型バイポーラトランジスタの真性ベース形成領域にエミッタ層とコレクタ層とを形成し該第1導電型MOSTランジスタ形成領域にソースおよびドレインを形成する第3形成工程と、前記第3形成工程後の所定の膜上にわたり第6絶縁膜を形成する第6絶縁膜形成工程と、前記第1導電型のバイポーラトランジスタの外部ベース引出し電極を形成する領域を写真製版により画定し、該領域に第5濃度の第1導電型の不純物を注入して前記第1導電型のバイポーラトランジスタの真性ベース層を形成する工程と、前記第1導電型のバイポーラトランジスタの外部ベース引出し電極を形成する領域上の第6絶縁膜をエッチングして前記半導体基板の主面を露出させる半導体基板露出工程と、前記半導体基板露出工程後の各膜上にわたり第2ポリシリコン膜を形成し、該第2ポリシリコン膜上に第1濃度の第2導電型の不純物を注入し、該第2ポリシリコン膜上に第7絶縁膜を形成する工程と、前記第7絶縁膜と第2ポリシリコン膜とを有する積層膜の所定の領域をエッチングして、前記第1導電型のバイポーラトランジスタのエミッタ引出し電極と第2導電型のMOSTランジスタのゲートとを同時に形成する第4形成工程と、前記第2導電型のMOSTランジスタを形成する領域を写真製版により画定し、該領域に第2濃度の第2導電型の不純物を注入して前記第2導電型のMOSTランジスタのLDD層を形成する第2導電型のMOSTランジスタのLDD層形成工程と、



前記第2導電型のMOSTランジスタのLDD層形成工程後の各膜上にわたり第8絶縁膜を形成し、該第8絶縁膜をエッチングして前記第2導電型のMOSTランジスタのゲートの側壁に枠を形成する工程と、前記第2導電型のMOSTランジスタを形成する領域を写真製版により画定し、該領域に第3濃度の第2導電型の不純物を注入して前記第2導電型のMOSTランジスタのソースおよびドレイン層を形成する第2導電型のMOSTランジスタのソースおよびドレイン層形成工程と、前記第2導電型のMOSTランジスタのソースおよびドレイン層形成工程後の各膜上にわたり層間絶縁膜を形成すると共に、前記第1導電型のバイポーラトランジスタのエミッタ引出し電極から不純物を拡散させてエミッタ層を形成する工程とを備えたものである。

【0012】ここで、この発明の半導体装置の製造方法は、前記第6絶縁膜形成工程に先立って、前記第3絶縁膜と前記第1ポリシリコン膜とを有する積層膜の所定の領域を写真製版により画定し、前記第3絶縁膜をエッチングして前記第1ポリシリコン膜を露出させる工程をさらに備えることができるものである。

【0013】ここで、この発明の半導体装置の製造方法は、前記第2形成工程の後に、各膜上にわたり第3ポリシリコン膜を形成する工程と、前記第3ポリシリコン膜をエッチングして前記第1導電型のバイポーラトランジスタの外部ベース引出し電極の側壁と前記第1導電型のMOSTランジスタのゲートの側壁とに枠を形成する工程とをさらに備えることができるものである。

【0014】ここで、この発明の半導体装置の製造方法は、前記第2導電型のバイポーラトランジスタの外部ベース引出し電極から第1濃度の第1導電型の不純物を前記半導体基板中に導入して、前記第2導電型のバイポーラトランジスタのエミッタおよびコレクタを形成することができるものである。

【0015】ここで、この発明の半導体装置の製造方法は、前記第2導電型のバイポーラトランジスタのベースを、前記第1導電型のMOSTランジスタのゲートを形成する前記第1形成工程ないし前記第2形成工程と同一の工程において形成することができるものである。

【0016】ここで、この発明の半導体装置の製造方法は、前記第2絶縁膜形成工程の後に、前記第2絶縁膜上に第4ポリシリコン膜を形成し、前記第1導電型のバイポーラトランジスタのベースを形成する領域上の第4ポリシリコン膜をエッチングして、第2絶縁膜を除去する工程をさらに備えることができるものである。

【0017】ここで、この発明の半導体装置の製造方法は、前記第6絶縁膜形成工程の後に、前記第6絶縁膜上に第5ポリシリコン膜を形成し、前記第1導電型のバイポーラトランジスタのベースを形成する領域上の第5ポリシリコン膜をエッチングして、第6絶縁膜を除去する工程をさらに備えることができるものである。

【0018】ここで、この発明の半導体装置の製造方法は、前記第2絶縁膜の膜厚と前記第6絶縁膜の膜厚とを異なる膜厚とすることができるものである。

【0019】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0020】実施の形態1.図1ないし7は、本発明の実施の形態1における自己整合型高性能バイポーラトランジスタとCMOSTランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す。

【0021】図1(A)に示されるように、埋め込み層を有する半導体基板100上にLOCOS法等によりフィールド酸化膜(第1絶縁膜)101を形成し、ウェル層102aとウェル層102bとを形成する。次に図1(B)に示されるように、半導体基板100上とフィールド酸化膜101上にわたりPMOS型トランジスタのゲート酸化膜となる絶縁膜(第2絶縁膜)103を形成する。図1(C)に示されるように、写真製版(レジストパターン)104によりNPN型バイポーラトランジスタ(第1導電型のバイポーラトランジスタ)のベースを形成する領域を開口し、絶縁膜103を除去する。図1(D)に示されるように、NPN型バイポーラトランジスタのベース引出し電極とPMOS型トランジスタ(第1導電型のMOSTランジスタ)のゲートとなるポリシリコン膜(第1ポリシリコン膜)105をデポジットする。

【0022】図2(E)に示されるように、ポリシリコン膜105上の全面にB等の不純物(第1濃度の第1導電型の不純物)106を注入し、図2(F)に示されるように、TEOS等の絶縁膜(第3絶縁膜)107をデポジットする。図2(G)に示されるように、写真製版108によりポリシリコン膜105と絶縁膜107とを有する積層膜の所定の領域を画定し、図2(H)に示されるように、ドライエッチング等によりNPN型バイポーラトランジスタの外部ベース引出し電極105aとPMOS型トランジスタのゲート105bとを同時に形成する。

【0023】図3(I)に示されるように、酸化により酸化膜(第4絶縁膜)109を形成すると共に、NPN型バイポーラトランジスタの外部ベース引出し電極105aから不純物106を半導体基板100中に導入して、外部ベース層110を形成する。図3(J)に示されるように、NPN型バイポーラトランジスタの外部ベース引出し電極105aを形成する領域を写真製版111により画定した後、この領域に注入によりBF<sub>3</sub>等の不純物(第2濃度の第1導電型の不純物)121を導入し、NPN型バイポーラトランジスタの真性ベースのリンクベース層112を形成する。次に、図3(K)に示されるように、PMOS型トランジスタを形成する領域

とPNP型バイポーラトランジスタのエミッタおよびコレクタを形成するとを写真製版113により画定し、この両領域に $\text{BF}_3$ 等の不純物(第3濃度の第1導電型の不純物)121を導入し、PMOS型トランジスタを形成する領域に114cを形成し、PNP型バイポーラトランジスタを形成する領域にエミッタ層114aとコレクタ層114bとを形成する。NPN型バイポーラトランジスタの真性ベースのリンクベース層112、PMOS型トランジスタのLDD層114c、横型PNPバイポーラトランジスタのエミッタ層114aおよびコレクタ層114bは、同一マスク、同一注入で形成することも可能である。

【0024】図4(L)に示されるように、全面にTEOS等の絶縁膜(第5絶縁膜)115をデポジットし、この絶縁膜115をドライエッチング等して、図4(M)に示されるように、NPN型バイポーラトランジスタの外部ベース引出し電極105aの側壁とPMOS型トランジスタのゲートの側壁とに、各々枠105a、105bを形成する。次に、PNP型のバイポーラトランジスタの真性ベースを形成する領域とPMOS型トランジスタを形成する領域とを写真製版116により画定し、注入により $\text{BF}_3$ 等の不純物(第4濃度の第1導電型の不純物)121を導入して、横型PNPバイポーラトランジスタのエミッタ層114aおよびコレクタ層114bと、PMOS型トランジスタのソースおよびドレインとを形成する。図4(O)に示されるように、NMOS型トランジスタのゲート酸化膜となる絶縁膜(第6絶縁膜)119を形成する。

【0025】図5(P)に示されるように、NPN型バイポーラトランジスタの外部ベース引出し電極105aを形成する領域を写真製版120により画定し、注入により $\text{BF}_3$ 等の不純物(第5濃度の第1導電型の不純物)121を導入して、NPN型バイポーラトランジスタの真性ベース層110aを形成する。続けて、図5(Q)に示されるように、エッチングにより真性ベース領域上の絶縁膜119を除去して半導体基板100の主表面を露出させる。図5(R)に示されるように、NPN型バイポーラトランジスタのエミッタ引出し電極とNMOS型トランジスタのゲートとなるポリシリコン膜(第2ポリシリコン膜)122をデポジットし、全面にAs等の不純物(第1濃度の第2導電型の不純物)123を注入する。

【0026】図6(S)に示されるように、全面にTEOS等の絶縁膜(第7絶縁膜)124をデポジットする。次に、絶縁膜124とポリシリコン膜122とを有する積層膜の所定の領域を写真製版125により画定して、図6(T)に示されるように、ドライエッチング等によりNPN型バイポーラトランジスタのエミッタ引出し電極122aとNMOS型トランジスタのゲート122bとを同時に形成する。図6(U)に示されるよう

に、NMOS型トランジスタを形成する領域を写真製版126により画定し、注入によりP等の不純物(第2濃度の第2導電型の不純物)135を導入して、NMOS型トランジスタのLDD層127を形成する。図6(V)に示されるように、TEOS等の絶縁膜(第8絶縁膜)128をデポジットする。

【0027】図7(W)に示されるように、ドライエッチングによりNMOS型トランジスタのゲートの側壁に枠128aを形成する。次に、NMOS型トランジスタを形成する領域を写真製版129により画定し、注入によりAs等の不純物(第3濃度の第2導電型の不純物)123を導入して、NMOS型トランジスタのソースおよびドレイン層130を形成する。図7(X)に示されるように、TEOS/BPSG/TEOS膜のような層間絶縁膜131をデポジットし、これにリフローを施し、表面を平坦化すると共に、エミッタ引出し電極122aから不純物121を半導体基板100中へ拡散し、エミッタ層132を形成する。最後に、図7(Y)に示されるように、配線133等を形成する。

【0028】以上より、実施の形態1によれば、NPN型バイポーラトランジスタのベース引出し電極105aとPMOS型トランジスタのゲート105bとを同一材料(ポリシリコン膜105)を用いて同時に形成し、NPN型バイポーラトランジスタのエミッタ引出し電極122aとNMOS型トランジスタのゲート122bとを同一材料(ポリシリコン膜122)を用いて同時に形成することができる。このため、工程数の増加を抑えた上で表面チャネル型のPMOS型トランジスタを得ることができ、この結果PMOS型トランジスタのリーク電流を減少させ、閾値 $V_{th}$ の制御を容易に行なうことができる。

【0029】実施の形態2. 図4(N)および4(O)は、本発明の実施の形態2における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを説明する。本実施の形態2において、図1(A)ないし4(L)、5(P)ないし7(Y)の図で示される工程は実施の形態1と同じであるため説明は省略する。

【0030】図4(M)に示されるように、写真製版116の後、注入により $\text{BF}_3$ 等の不純物121を導入して、横型PNPバイポーラトランジスタのエミッタ層114aおよびコレクタ層114bと、PMOS型トランジスタのソースおよびドレインとを形成する。この後、図4(N)に示されるように、写真製版118により画定した領域の絶縁膜107を開口し、開口部107aにポリシリコン膜105を露出させる。この結果、図7(Y)に示されるように、下部電極がポリシリコン膜105、上部電極がポリシリコン膜122および容量材料が絶縁膜119より構成される容量の形成を行なうこと



ができる。

【0031】以上より、実施の形態2によれば、マスクを1枚追加するだけで、電極形成工程を追加することなく、寄生容量の少ない高性能な容量の形成を行なうことができる。

【0032】実施の形態3.図1(B)および図3

(I)は、本発明の実施の形態3における自己整合型高性能バイポーラトランジスタとCMOSTランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを説明する。本実施の形態3において、図1(B)および図3(I)の他の図で示される工程は実施の形態1と同じであるため説明は省略する。

【0033】図1(B)に示される絶縁膜103の膜厚と図3(I)に示される絶縁膜119の膜厚とを異なる膜厚に設定することができる。この結果、PMOS型トランジスタとNMOS型トランジスタとでゲート耐圧が異なるBiCMOS型半導体装置を製造することができる。

【0034】以上より、実施の形態3によれば、ゲート酸化膜の膜厚を絶縁膜103と絶縁膜119とで異なる膜厚に設定することができるので、PMOS型トランジスタとNMOS型トランジスタとで異なるゲート耐圧に設定されたBiCMOS型半導体装置を製造することができる。

【0035】実施の形態4.図4(L)および図8は、本発明の実施の形態4における自己整合型高性能バイポーラトランジスタとCMOSTランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを説明する。本実施の形態4において、図4(L)および図8の他の図で示される工程は実施の形態1と同じであるため説明は省略する。

【0036】図4(L)に示される絶縁膜115の代わりに図8に示されるポリシリコン膜134aおよび134bを用いることができる。このため、NPN型バイポーラトランジスタのベース引出し電極105aの側壁134aとPMOS型トランジスタのゲート105bの側壁134bとにLDD枠を形成することができる。ポリシリコン膜134aおよび134bの材質は、絶縁膜115と異なる膜であればよい。

【0037】以上より、実施の形態4によれば、NPN型バイポーラトランジスタのベース引出し電極105aの側壁134aとPMOS型トランジスタのゲート105bの側壁134bとにポリシリコン膜134a、134bを使用することにより、よりばらつきの少ないNPN型バイポーラトランジスタの製造を行なうことができる。

【0038】実施の形態5.図9は、本発明の実施の形態5における自己整合型高性能バイポーラトランジスタとCMOSTランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを説明する。

本実施の形態5において、図9に示される工程以外の工程は実施の形態1と同じであるため説明は省略する。

【0039】図9に示されるように、横型PNP型バイポーラトランジスタのエミッタとコレクタとをPNP型バイポーラトランジスタのベース引出し電極105aからP型不純物を半導体基板100中へ拡散して形成することにより、配線間隔の制約がなくなり、素子面積を縮小することができる。

【0040】以上より、実施の形態5によれば、横型PNP型バイポーラトランジスタのエミッタとコレクタとをPNP型バイポーラトランジスタのベース引出し電極105aからP型不純物を半導体基板100中へ拡散して形成することができる。この結果、配線間隔の制約がなくなり、素子面積を縮小することができる。

【0041】実施の形態6.図10は、本発明の実施の形態6における自己整合型高性能バイポーラトランジスタとCMOSTランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを説明する。本実施の形態6において、図10に示される工程以外の工程は実施の形態1と同じであるため説明は省略する。

【0042】図10に示されるように、横型PNP型バイポーラトランジスタのベースを、実施の形態1におけるPMOS型トランジスタのゲートを形成する図2(H)ないし図3(K)で示される工程と同一の工程において形成することができる。

【0043】以上より、実施の形態6によれば、横型PNP型バイポーラトランジスタのベース幅をPMOS型トランジスタにより画定することにより、フィールド酸化膜で画定する従来の横型PNP型バイポーラトランジスタよりも素子面積を縮小することができる。

【0044】実施の形態7.図11ないし図14は、本発明の実施の形態7における自己整合型高性能バイポーラトランジスタとCMOSTランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを説明する。

【0045】図11(A)に示されるように、埋め込み層を有する半導体基板100上にLOCOS法等によりフィールド酸化膜101を形成し、ウェル層102aとウェル層102bとを形成する。次に図11(B)に示されるように、半導体基板100上とフィールド酸化膜101上とにわたりPMOS型トランジスタのゲート酸化膜となる絶縁膜103を形成する。この後、ポリシリコン膜145をデポジットする。

【0046】ポリシリコン膜145をデポジットした後の図11(C)ないし図12(G)のプロセスは、実施の形態1における図1(C)ないし図4(O)と同じであるため説明は省略する。

【0047】図12(H)に示されるように、NMOS型トランジスタのゲート酸化膜となる絶縁膜119を形

成する。この後、ポリシリコン膜146をデポジットする。

【0048】ポリシリコン膜146をデポジットした後の図13(I)ないし図14(M)のプロセスは、実施の形態1における図5(P)ないし図7(X)と同じであるため説明は省略する。

【0049】最後に、図14(N)に示されるように、配線133等を形成する。

【0050】以上より、実施の形態7によれば、PMOS型トランジスタおよびNMOS型トランジスタのゲート酸化膜上にポリシリコン膜をデポジットすることにより、NPN型バイポーラトランジスタを形成する時のダメージからゲート酸化膜を保護することができ、トランジスタ特性の劣化のないMOS型トランジスタを形成することができる。

【0051】

【発明の効果】以上説明したように、本発明の半導体の製造方法によれば、NPN型バイポーラトランジスタのベース引出し電極105aとPMOS型トランジスタのゲート105bとを同一材料(ポリシリコン膜105)を用いて同時に形成し、NPN型バイポーラトランジスタのエミッタ引出し電極122aとNMOS型トランジスタのゲート122bとを同一材料(ポリシリコン膜122)を用いて同時に形成することにより、工程数およびマスク数の増加を最低限に抑え、かつ高性能バイポーラトランジスタと高性能MOSトランジスタとを同一基板上に有することができる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1または3における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図2】 本発明の実施の形態1または3における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図3】 本発明の実施の形態1または3における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図4】 本発明の実施の形態1または2における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図5】 本発明の実施の形態1における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図6】 本発明の実施の形態1における自己整合型高

性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図7】 本発明の実施の形態1における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図8】 本発明の実施の形態4における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図9】 本発明の実施の形態5における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図10】 本発明の実施の形態6における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図11】 本発明の実施の形態7における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図12】 本発明の実施の形態7における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図13】 本発明の実施の形態7における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図14】 本発明の実施の形態7における自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図15】 従来の自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図16】 従来の自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

【図17】 従来の自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す図である。

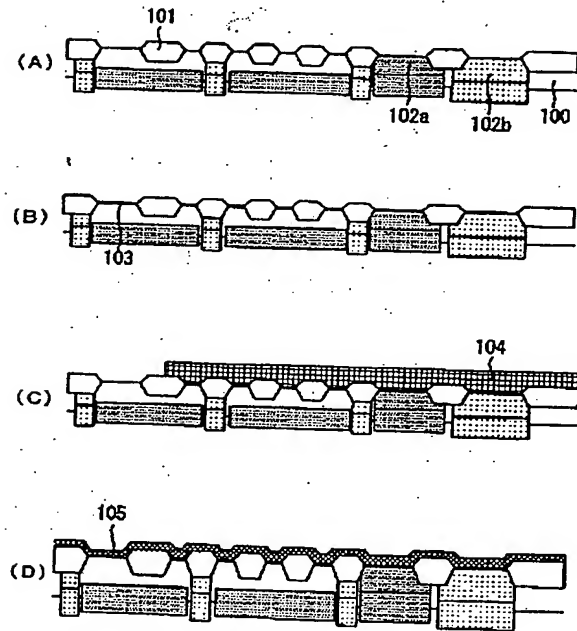
【図18】 従来の自己整合型高性能バイポーラトランジスタとCMOSトランジスタとを同一基板上に有するBiCMOS型半導体装置の製造方法のプロセスを示す

図である。

【符号の説明】

100 半導体基板、101 フィールド酸化膜、102a、102b ウェル、103、107、115、153、157、164、166、167 絶縁膜、104、108、111、113、116、118、120、125、126、129、158 レジストパターン（写真製版）、105、122、145、146、165、169 ポリシリコン膜、105a NPN型バイポーラトランジスタのベース引き出し電極、105b PMOS型トランジスタのゲート、106 不純物（B等）、107a 開口部、109 酸化膜、110 外部ベース層、110a 真性ベース層、112 リンクベース層、114a、132、173 エミッタ層、114b コレクタ層、

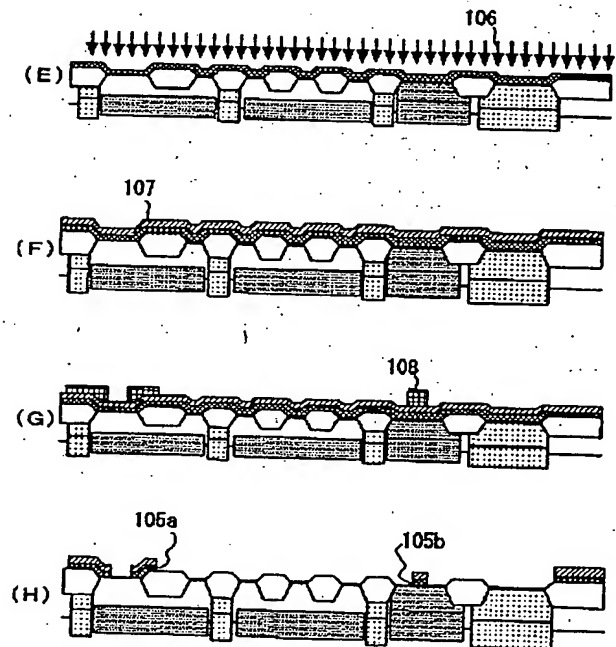
【図1】



100:半導体基板  
101:フィールド酸化膜  
102a、102b:ウェル  
103:絶縁膜  
104:レジストパターン  
105:ポリシリコン膜

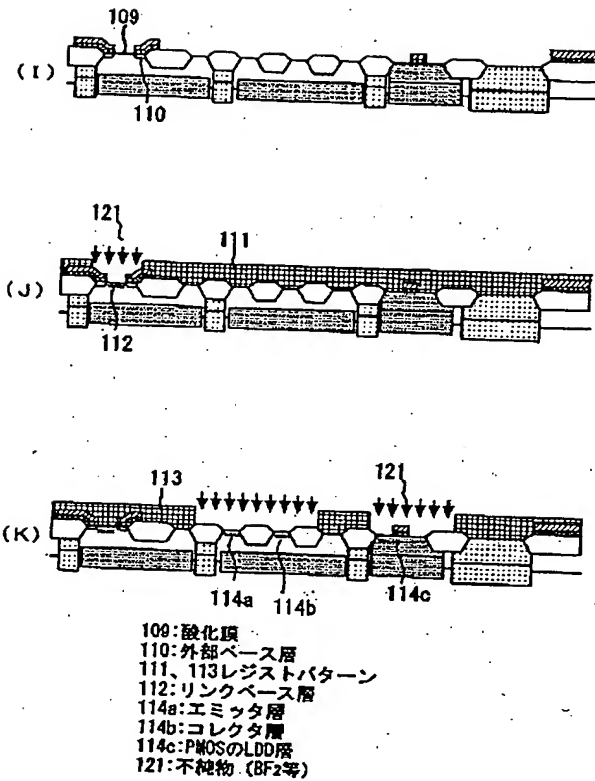
114c PMOS型トランジスタのLDD層、115a、115b、128a、161 枠、119 NMOS型トランジスタのゲート酸化膜（絶縁膜）、121 不純物（BF<sub>2</sub>等）、122a、172 NPN型バイポーラトランジスタのエミッタ引出し電極、122b NMOS型トランジスタのゲート、123、168 不純物（As等）、127 NMOS型トランジスタのLDD層、130 NMOS型トランジスタのソース/ドレイン層、131、171 層間絶縁膜、133、174 配線、134a、134b 側壁（LDD枠）、135 不純物（P等）、156 ドープドポリシリコン膜、156a、156b MOSゲート、159、160 LDD層、162、163 ソース/ドレイン層。

【図2】

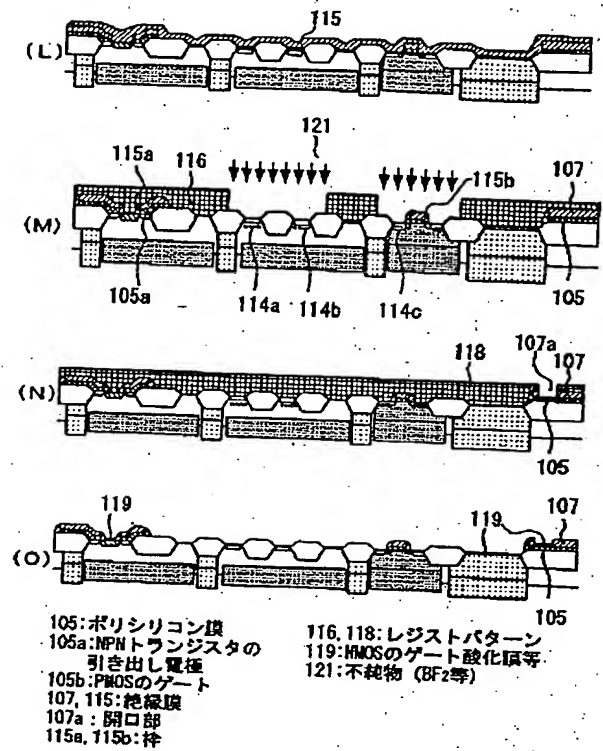


105a:NPNトランジスタの引き出し電極  
105b:PMOSのゲート  
106:不純物（B等）  
107:絶縁膜  
108:レジストパターン

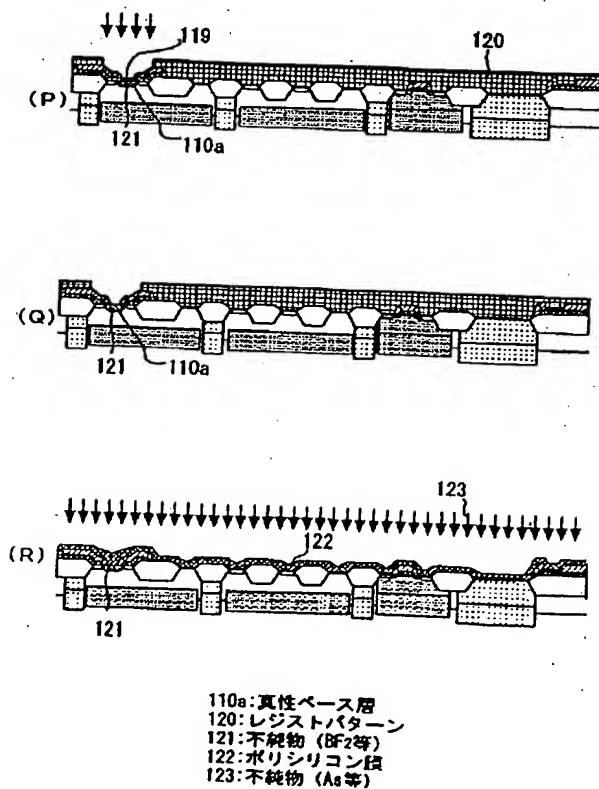
【図3】



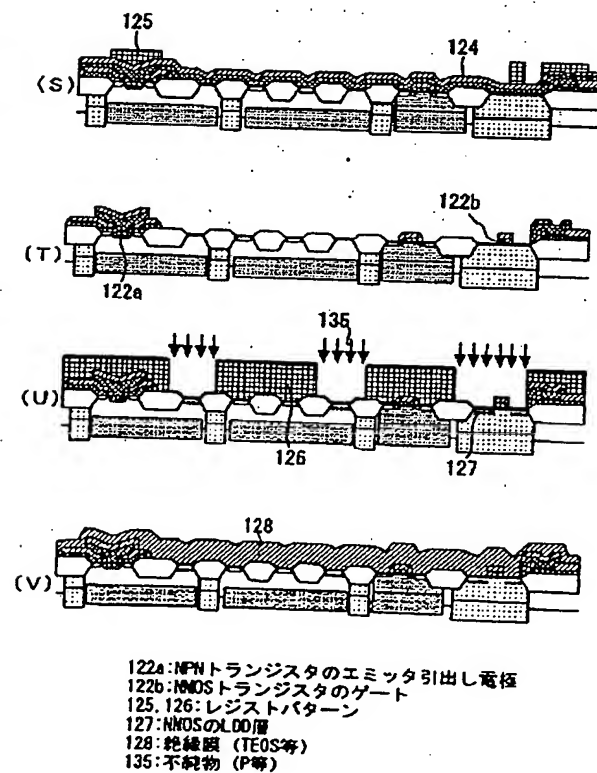
【図4】



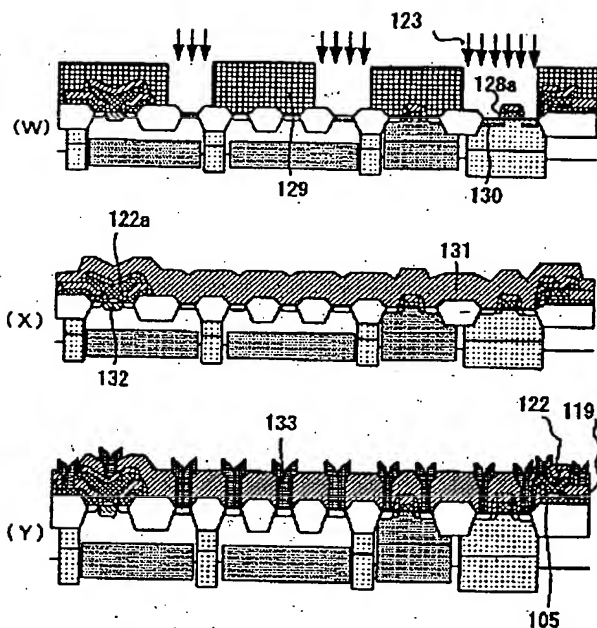
【図5】



【図6】

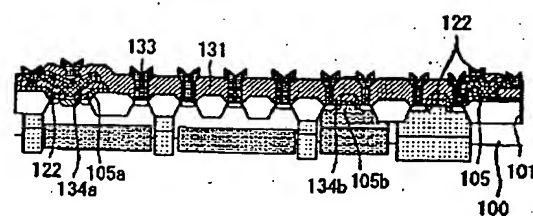


【図7】



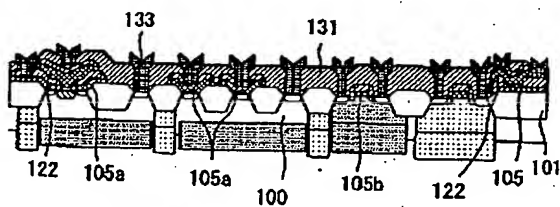
105:ポリシリコン膜 (下部電極) 129:レジストパターン  
 119:絶縁膜 (容量形成材料) 130:NMOSのソース/ドレイン層  
 122:ポリシリコン膜 (上部電極) 131:層間絶縁膜  
 122a:エミッタ引出し電極 132:エミッタ層  
 123:不純物 (As等) 133:配線  
 128a:枠

【図8】



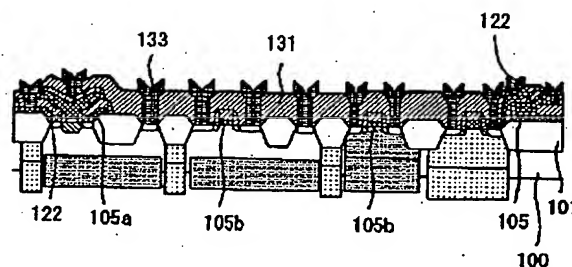
100:半導体基板  
 101:フィールド酸化膜  
 105, 122:ポリシリコン膜  
 105a: NPNトランジスタの  
 ベース引出し電極  
 105b: PMOSトランジスタのゲート  
 131:層間絶縁膜  
 133:配線  
 134a, 134b:側壁 (LDD枠)

【図9】



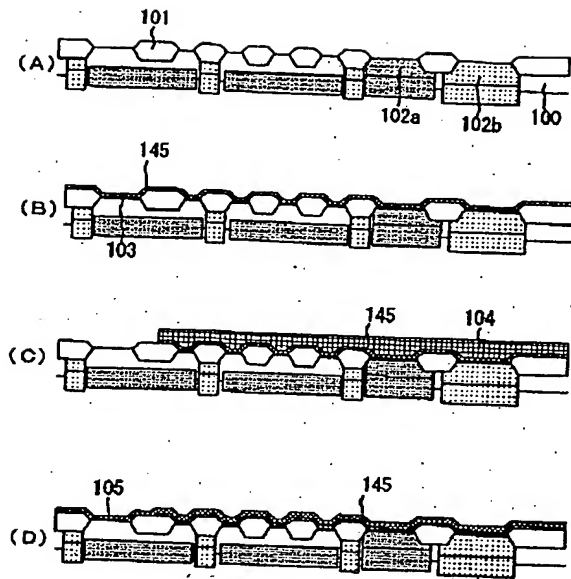
100:半導体基板  
 101:フィールド酸化膜  
 105, 122:ポリシリコン膜  
 105a: NPNトランジスタのベース引出し電極  
 105b: PMOSトランジスタのゲート  
 131:層間絶縁膜  
 133:配線

【図10】



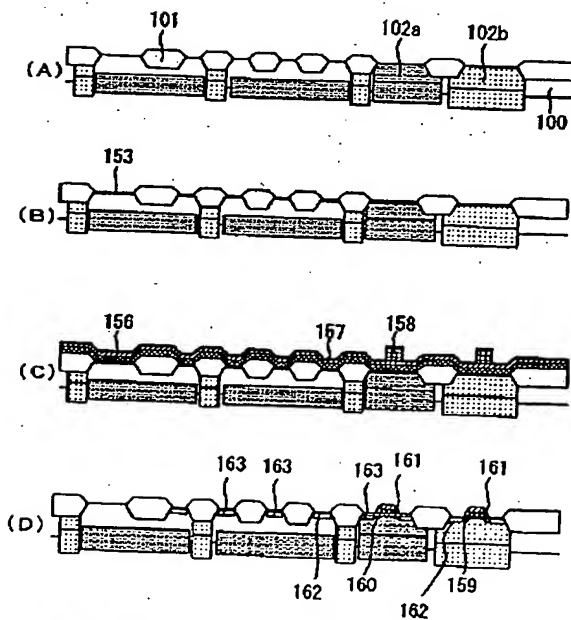
100:半導体基板  
 101:フィールド酸化膜  
 105, 122:ポリシリコン膜  
 105a: NPNトランジスタのベース引出し電極  
 105b: PMOSトランジスタのゲート  
 131:層間絶縁膜  
 133:配線

【図11】



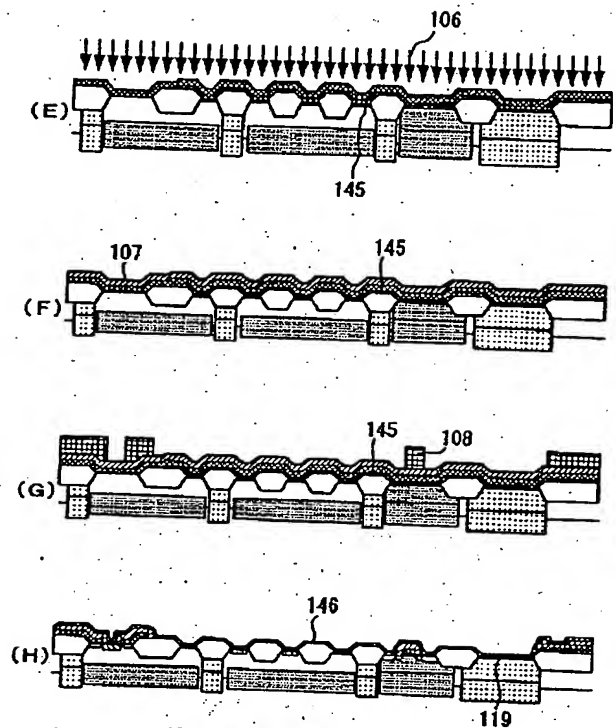
100: 半導体基板  
101: フィールド酸化膜  
102a, 102b: ウェル  
103: 絶縁膜  
104: レジストパターン  
105, 145: ポリシリコン膜

【図15】



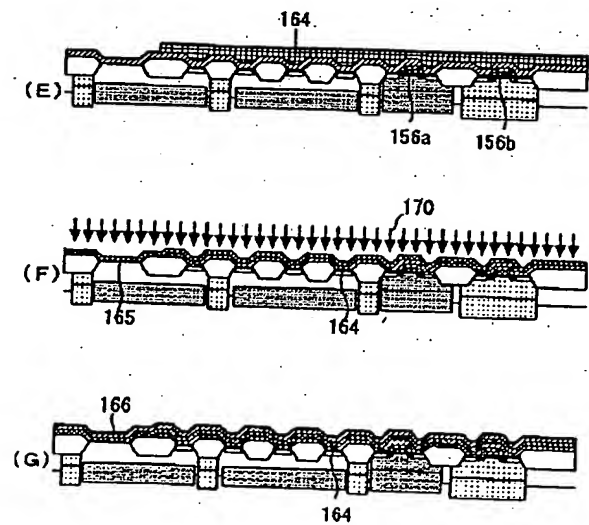
100: 半導体基板  
101: フィールド酸化膜  
102a, 102b: ウェル  
153: 絶縁膜  
156: ドープドポリシリコン膜  
157: 絶縁膜 (TEOS等)  
158: レジストパターン  
159, 160: LDD層  
161: 栓  
162, 163: ソース/ドレイン層

【図12】



106: 不純物 (B等)  
107: 絶縁膜  
108: レジストパターン  
119: 絶縁膜 (NMOSのゲート酸化膜)  
146: ポリシリコン膜

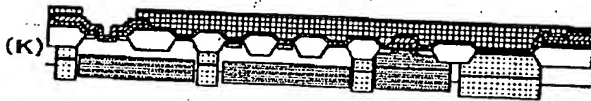
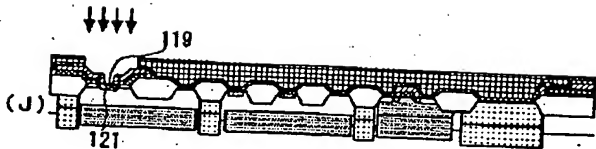
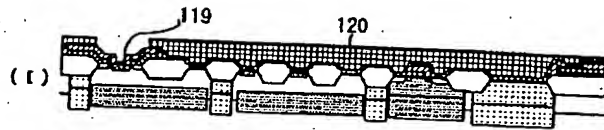
【図16】



156a, 156b: MOSゲート  
164, 166: 絶縁膜 (TEOS等)  
165: ポリシリコン膜

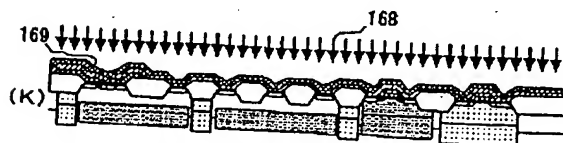
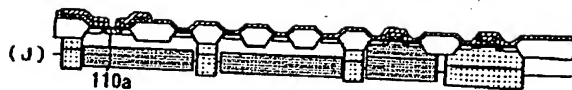
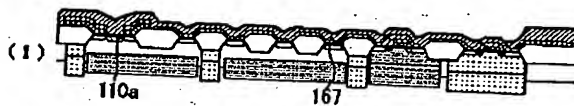
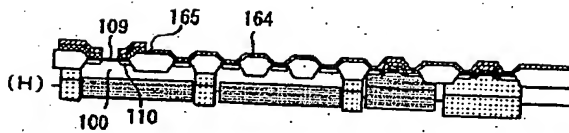


【図13】



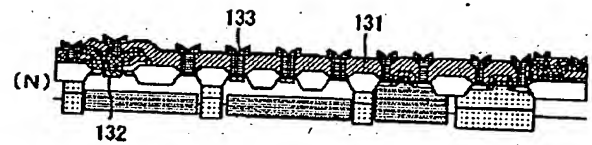
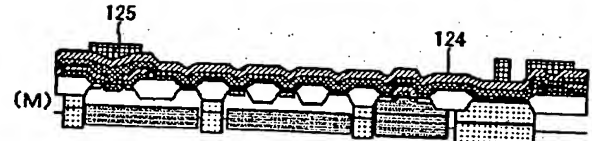
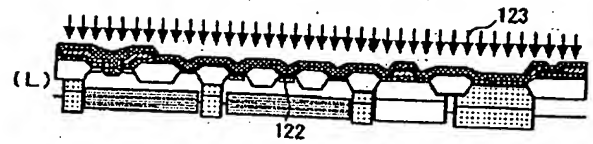
119: 絶縁膜 (NMOSのゲート酸化膜)  
120: レジストパターン  
121: 不純物 (BF<sub>2</sub>等)

【図17】



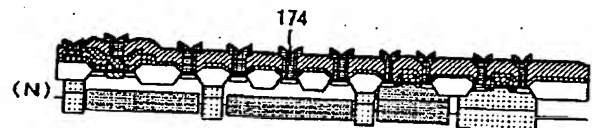
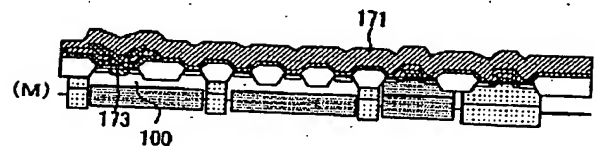
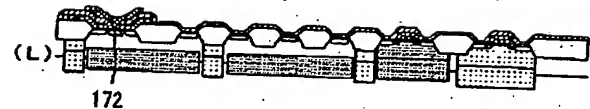
100: 半導体基板  
109: 酸化  
110: 外部ベース層  
110a: 真性ベース層  
165, 169: ポリシリコン膜  
164, 167: 絶縁膜  
168: 不純物 (As等)

【図14】



122: ポリシリコン膜  
123: 不純物 (As等)  
125: レジストパターン  
121: 不純物 (BF<sub>2</sub>等)  
131: 層間絶縁膜  
132: エミッタ層  
133: 配線

【図18】



100: 半導体基板  
171: 層間絶縁膜  
172: NPNトランジスタのエミッタ引出し電極  
173: エミッタ層  
174: 配線

## フロントページの続き

Fターム(参考) 5F003 AP00 BB06 BB07 BB08 BC07  
BE07 BE08 BJ15 BJ18 BN01  
BP06 BP21 BS08  
5F048 AA01 AA07 AA09 AA10 AC05  
AC10 BB07 BB16 BC06 BE03  
BG12 CA03 DA13 DA14 DA15  
DA25 DB04 DB08 DE09 DB10  
5F082 AA17 AA40 BA04 BA27 BC03  
BC09 BC13 DA07 DA10 EA02  
EA12

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**